

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-58322

(43) 公開日 平成7年(1995)3月3日

(51) Int.Cl.⁶

H 0 1 L 29/78

識別記号

庁内整理番号

F I

技術表示箇所

9055-4M

H 0 1 L 29/78

3 2 1 J

審査請求 未請求 請求項の数 4 F D (全 10 頁)

(21) 出願番号

特願平5-220519

(22) 出願日

平成5年(1993)8月13日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 桑原 正志

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

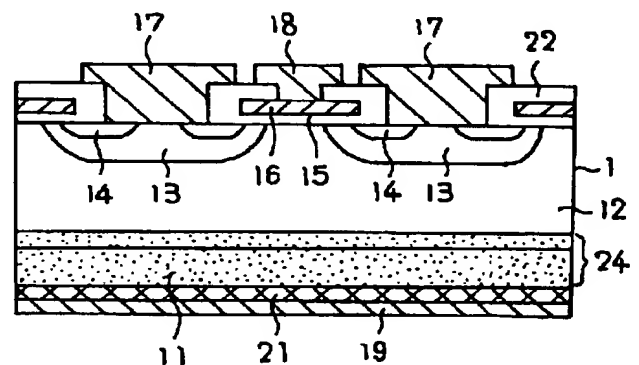
(74) 代理人 弁理士 竹村 壽

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 オン電圧とターンオフ時間のトレードオフを改善でき安定した素子特性が得られる新規なアノード構造を有する高耐圧半導体装置を提供する。

【構成】 低不純物濃度の第1導電型ドレイン領域12に隣接して第2導電型アノード領域11を備えたIGBTの前記アノード領域とこのアノード領域と接する部分を含む前記ドレイン領域の一部に重金属拡散領域24を形成する。この重金属拡散領域の形成方法として、前記アノード領域のアノード電極19が形成される表面に重金属のシリサイド層21を形成し、これを熱処理してシリサイド層の重金属を拡散して得る。ドレイン領域内の一部に形成され、アノード領域に隣接している重金属拡散領域は、ドレイン領域のキャリアライフタイムを短くしてホールの注入量を適正化すると共にスイッチングオフ時にドレイン領域に存在する電子がアノード領域を通過するときには発生する新たなホールの注入を抑制できる。アノード電極とアノード領域との間に形成される重金属のシリサイド層は、また、アノード電極のアノード領域へのオーミックコンタクトを確実にする。



1

【特許請求の範囲】

【請求項 1】 半導体基板と、前記半導体基板に形成された第 1 導電型のドレイン領域と、
 前記ドレイン領域内に形成され、前記半導体基板の第 1 の主面に露出している第 2 導電型のベース領域と、
 前記ベース領域内に形成され、前記半導体基板の前記第 1 の主面に露出している第 1 導電型のソース領域と、
 前記半導体基板の前記第 1 の主面上に前記ソース領域と前記ドレイン領域に跨がり、かつ、前記ベース領域上に形成されたゲート絶縁膜と、
 前記ゲート絶縁膜の上に形成されたゲートと、
 前記ソース領域及び前記ベース領域上に跨がって形成され、このソース領域とベース領域とを短絡するソース電極と、
 前記半導体基板の第 2 の主面上に形成された半導体層に形成され、前記ドレイン領域と接している第 2 導電型のアノード領域と、
 前記アノード領域及びこのアノード領域と接している部分を含んでいる前記ドレイン領域の一部に形成された重金属拡散領域と、
 前記アノード領域の表面に形成された重金属のシリサイド層と、
 前記重金属のシリサイド層上に形成されたアノード電極とを備えていることを特徴とする半導体装置。

【請求項 2】 半導体基板と、
 前記半導体基板に形成された第 1 導電型のドレイン領域と、
 前記ドレイン領域内に形成され、前記半導体基板の第 1 の主面に露出している第 2 導電型のベース領域と、
 前記ベース領域内に形成され、前記半導体基板の前記第 1 の主面に露出している第 1 導電型のソース領域と、
 前記半導体基板の前記第 1 の主面上に前記ソース領域と前記ドレイン領域に跨がり、かつ、前記ベース領域上に形成されたゲート絶縁膜と、
 前記ゲート絶縁膜の上に形成されたゲートと、
 前記ソース領域及び前記ベース領域上に跨がって形成され、このソース領域とベース領域とを短絡するソース電極と、
 前記半導体基板の第 2 の主面側に形成され、前記ドレイン領域と隣接している第 2 導電型のアノード領域と、
 前記アノード領域及びこのアノード領域と接している部分を含む前記ドレイン領域の一部に形成された重金属拡散領域と、
 前記アノード領域の表面に形成された重金属のシリサイド層と、
 前記重金属のシリサイド層上に形成されたアノード電極とを備えていることを特徴とする半導体装置。

【請求項 3】 第 1 導電型のドレイン領域となる半導体基板内に、この半導体基板の第 1 の主面に露出している第 2 導電型のベース領域を形成する工程と、

2

前記ベース領域内に、前記半導体基板の第 1 の主面に露出している第 1 導電型のソース領域を形成する工程と、
 前記半導体基板の第 1 の主面上において、前記ソース領域と前記ドレイン領域に跨がり、かつ、前記ベース領域の上にゲート絶縁膜を形成する工程と、
 前記ソース領域と前記ドレイン領域に跨がり、かつ、前記ベース領域上に、前記ゲート絶縁膜を介してゲートを形成する工程と、
 前記半導体基板の第 2 の主面に第 2 導電型のアノード領域を気相成長により形成する工程と、
 前記アノード領域上に重金属のシリサイド層を形成する工程と、
 前記シリサイド層を加熱処理することにより、重金属を拡散させて前記アノード領域及びこのアノード領域と接している部分を含む前記ドレイン領域の一部に重金属拡散領域を形成する工程と、
 前記シリサイド層の上にアノード電極を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 4】 第 1 導電型のドレイン領域となる半導体基板内に、この半導体基板の第 1 の主面に露出している第 2 導電型のベース領域を形成する工程と、
 前記ベース領域内に、前記半導体基板の第 1 の主面に露出している第 1 導電型のソース領域を形成する工程と、
 前記半導体基板の第 1 の主面上において、前記ソース領域と前記ドレイン領域に跨がり、前記ベース領域上にゲート絶縁膜を形成する工程と、
 前記ソース領域と前記ドレイン領域に跨がり、前記ベース領域上に、前記ゲート絶縁膜を介してゲートを形成する工程と、
 前記半導体基板の第 2 の主面に不純物を拡散して、前記ドレイン領域上に第 2 導電型の低不純物濃度アノード領域を形成する工程と、
 前記低不純物濃度アノード領域の上に多結晶シリコンからなる高不純物濃度アノード領域を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置、とくに高耐圧系の IGBT (Insulated Gate Bipolar Transistor) のアノード構造に関するものである。

【0002】

【従来の技術】 IGBT は、図 11 に代表されるユニットセル断面構造を有するトランジスタであり、上部に MOSFET 構造、下部にバイポーラトランジスタ構造部を有する複合構造ととらえることができる。この構造及びその基本動作は、特開昭 57-120369 号公報に詳述されている。この図を参照し、シリコンウェーハに形成された N チャネル IGBT を例にしてその構造及び動作を説明する。このウェーハを構成するシリコン半導体基板 1 は、厚さ約 150 μm 、不純物濃度約 $1.0 \times 10^{10} \text{ cm}^{-3}$

3

m-3のP+アノード領域11からなり、その第1の主面上にN-ドレイン領域12が形成されたシリコン半導体層2がエピタキシャル成長により積層されている。このN-ドレイン領域12中には、1対のP型ベース領域13が、さらに、このP型ベース領域13中には、N+ソース領域14が通常の不純物拡散法により形成されている。このドレイン領域12が形成されている半導体層2の表面には、薄いゲート酸化膜15を介してポリシリコンゲート16が設けられている。ソース領域14とベース領域13とをこの半導体層2の表面で短絡するような形で金属ソース電極17が設けられ、ポリシリコンゲート16に接続して金属ゲート電極18が形成され、P+アノード領域11に接続して、半導体基板1の第2の主面上に金属アノード電極19が設けられている。

【0003】また、P+アノード領域11とN-ドレイン領域12の間にN+バッファ層を設けた構造も一般に使われている。これは、アノード領域からの正孔の流入を抑えると共に半導体層2の表面から拡がる空乏層を抑える事もでき、このバッファ層によってN-ドレイン領域12は薄くすることができる。この構造のIGBTは、PN接合に逆バイアスを加えた場合に前記空乏層がバッファ層まで広がるので、パンチスルー型といい、前述の図11のIGBTは、空乏層がアノード領域まで達しないのでノンパンチスルー型という。次に、NチャネルIGBTの一般的な製造方法について説明すると、P+半導体基板1にN-ドレイン領域12、または、前記パンチスルー型では、N+バッファ層に続いてN-ドレイン領域12を気相成長させて、P+-N-、または、P+-N+-N-ウェーハを形成する。その後前述したように、N-ドレイン領域12中にP型ベース領域13を選択的に形成し、このP型ベース領域中に2つのN型ソース領域14を形成していわゆる2重拡散型にする。前記P型ベース領域13及びN型ソース領域14は、その端部をN-ドレイン領域12の表面に露出するが、各端部は、絶縁膜22で被覆され、この絶縁膜22内の各ベース領域13間の領域上にゲート酸化膜15を介してポリシリコンゲート16を形成する。

【0004】このポリシリコンゲート16上の絶縁膜22を部分的に除去してできる前記ポリシリコンゲート16の露出部にアルミニウムなどを堆積して金属ゲート電極18を形成する。また、選択的に被覆した前記絶縁膜22間に露出した前記P型ベース領域13及びN型ソース領域14には、金属ソース電極17が形成される。アノード領域11となるP+半導体基板1の第2の主面上には、金属アノード電極19が形成される。このように形成した半導体装置はソース電極17を接地し、アノード電極19に正電圧が印加された状態でゲート16を負電位に保てば、半導体装置は、阻止状態になる。ゲート16に正電圧を印加すれば、一般のMOSFETと同様にPベース領域13の表面に反転チャネル領域が形成さ

4

れ、ソース領域14からチャネルを通してドレイン領域12の表面部分に電子が流入し、電子の蓄積層が形成される。電子はさらにソース-アノード間に印加されている電圧によってドレイン領域12中をアノード電極19側へ走行していき、P+アノード領域11とN-ドレイン領域12もしくはN+バッファ層の間を順バイアス状態に至らしめる。これによりP+アノード領域11からN-ドレイン領域12へ正孔の注入が生じ、N-ドレイン領域12中の伝導度に変調されると共に素子は通電状態となる。この状態でゲート電極18を零もしくは負電位に戻せばチャネルが閉じ、該素子は再び阻止状態に戻る。

【0005】一般のMOSFETではドレイン領域に電子しか注入されないため、このドレイン領域の濃度が低い場合や、ドレイン領域が厚い場合には、ドレイン領域が電子の流れにとって、極めて大きい抵抗となり、これがMOSFETのオン抵抗の最大成分であった。一方、IGBTでは、前記ドレイン領域が伝導度変調を受けるのでその抵抗成分は極めて小さくなり、このドレイン領域の濃度が低くかつこの領域が厚い場合でもオン抵抗の小さい半導体装置となる。

【0006】

【発明が解決しようとする課題】このようなIGBTは、アノード領域からドレイン領域中に注入した少数キャリア（正孔）の一部が過剰少数キャリアとしてドレイン領域中に蓄積されてしまう。従って、このIGBTをオフするためにゲート電圧を零にしてチャネルを閉じて電子の流れを止めても蓄積された少数キャリア（正孔）が排出されるまで、このIGBTはオフ状態にならない。さらに、このIGBTでは、オフ時にドレイン領域に存在する電子がアノード領域を通過する際にアノード領域から新たな正孔の注入を誘起し、結果的にはターンオフ時間が極めて長くなる。そのためにIGBTでは一般的なMOSFETと比べて約10倍の電流を流すことができるが、ターンオフ時間は逆に10倍以上長くなる欠点を持っている。このようなIGBTをインバータ等のスイッチング用途へ応用する場合、長いターンオフ時間は、スイッチング周波数を高められないためその応用範囲が限られてくる。

【0007】前記IGBTのターンオフ時間を改善する方法としてキャリアライフタイムを短くする手法が提案されている。例えば、Au、Pt等の重金属拡散法、もしくは、中性子線、ガンマ線、電子線などの放射線を照射する方法を使用してキャリアライフタイムを小さくすることができる。しかし、ターンオフ時間は改善されるが、同時に伝導度変調度合いをも低下させる結果となり、このIGBTの最大の利点である低オン抵抗特性が悪化する。また、別の方法としてアノードからの正孔注入を抑えるため、P+アノード領域の不純物濃度を下げたり、N+バッファ層の不純物濃度を上げるなどの手法

5

も考えられる。しかし、P+アノード領域の不純物濃度を下げると金属電極との接続抵抗が大きくなり、ばらつきも大きくなるため、この抵抗が素子のオン抵抗を悪化させてしまう。また、N+バッファ層については、現状の気相成長法では不純物濃度を上げると制御性が下がり、安定したバッファ層が形成されない。すなわち、IGBT製造工程での熱履歴でN-ドレイン層に拡散し、最終的には不純物濃度が下がり、バッファ層が厚くなって期待される効果は得られなくなる。

【0008】さらに、1200V以上の高耐圧になると非常に低不純物濃度（約 $5 \times 10^{13}/\text{cm}^{-3}$ ）で厚い

（100 μm 以上）N-ドレイン領域が必要となり、現状の気相成長法では安定的に製造することは難しい。この様にN-ドレイン領域が低濃度のN-半導体基板の一方の主面に二重拡散型DMOS構造を形成し、もう一方の主面に、P+アノード領域をイオン注入で形成する構造が、特開平2-7569号公報に開示されているが、このような構造ではP+アノード領域が1 μm 程度の非常に浅い接合になるため、表面状態の影響を受け易くなり、安定した素子特性を得ることができない。本発明は、このような事情によりなされたものであり、オン電圧とターンオフ時間のトレードオフを改善でき安定した素子特性が得られる新規なアノード構造を有する高耐圧半導体装置を提供する事を目的としている。

【0009】

【課題を解決するための手段】本発明は、低不純物濃度の第1導電型ドレイン領域に隣接して第2導電型アノード領域を備えたIGBTの前記アノード領域とこのアノード領域と接する部分を含む前記ドレイン領域の一部に重金属拡散領域を形成することを特徴とし、さらに、この重金属拡散領域の形成方法として、前記アノード領域のアノード電極が形成される表面に重金属のシリサイド層を形成して形成することを特徴としている。すなわち、本発明の半導体装置は、半導体基板と、前記半導体基板に形成された第1導電型のドレイン領域と、前記ドレイン領域内に形成され、前記半導体基板の第1の主面に露出している第2導電型のベース領域と、前記ベース領域内に形成され、前記半導体基板の前記第1の主面に露出している第1導電型のソース領域と、前記半導体基板の前記第1の主面上に前記ソース領域と前記ドレイン領域に跨がり、かつ、前記ベース領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に形成されたゲートと、前記ソース領域及び前記ベース領域上に跨がって形成され、このソース領域とベース領域とを短絡するソース電極と、前記半導体基板の第2の主面上に形成された半導体層に形成され、前記ドレイン領域と接している第2導電型のアノード領域と、前記アノード領域及びこのアノード領域と接している部分を含んでいる前記ドレイン領域の一部に形成された重金属拡散領域と、前記アノード領域の表面に形成された重金属のシリサイド層

6

と、前記重金属のシリサイド層上に形成されたアノード電極とを備えていることを第1の特徴としている。

【0010】また、半導体基板と、前記半導体基板に形成された第1導電型のドレイン領域と、前記ドレイン領域内に形成され、前記半導体基板の第1の主面に露出している第2導電型のベース領域と、前記ベース領域内に形成され、前記半導体基板の前記第1の主面に露出している第1導電型のソース領域と、前記半導体基板の前記第1の主面上に前記ソース領域と前記ドレイン領域に跨がり、かつ、前記ベース領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に形成されたゲートと、前記ソース領域及び前記ベース領域上に跨がって形成され、このソース領域とベース領域とを短絡するソース電極と、前記半導体基板の第2の主面側に形成され、前記ドレイン領域と隣接している第2導電型のアノード領域と、前記アノード領域及びこのアノード領域と接している部分を含む前記ドレイン領域の一部に形成された重金属拡散領域と、前記アノード領域の表面に形成された重金属のシリサイド層と、前記重金属のシリサイド層上に形成されたアノード電極とを備えていることを第2の特徴としている。

【0011】さらに、本発明の半導体装置の製造方法は、第1導電型のドレイン領域となる半導体基板内に、この半導体基板の第1の主面に露出している第2導電型のベース領域を形成する工程と、前記ベース領域内に、前記半導体基板の第1の主面に露出している第1導電型のソース領域を形成する工程と、前記半導体基板の第1の主面上において、前記ソース領域と前記ドレイン領域に跨がり、かつ、前記ベース領域の上にゲート絶縁膜を形成する工程と、前記ソース領域と前記ドレイン領域に跨がり、かつ、前記ベース領域上に、前記ゲート絶縁膜を介してゲートを形成する工程と、前記半導体基板の第2の主面に第2導電型のアノード領域を気相成長により形成する工程と、前記アノード領域上に重金属のシリサイド層を形成する工程と、前記シリサイド層を加熱処理することにより、重金属を拡散させて前記アノード領域及びこのアノード領域と接している部分を含む前記ドレイン領域の一部に重金属拡散領域を形成する工程と、前記シリサイド層の上にアノード電極を形成する工程とを備えていることを第1の特徴としている。また、第1導電型のドレイン領域となる半導体基板内に、この半導体基板の第1の主面に露出している第2導電型のベース領域を形成する工程と、前記ベース領域内に前記半導体基板の第1の主面に露出している第1導電型のソース領域を形成する工程と、前記半導体基板の第1の主面上において、前記ソース領域と前記ドレイン領域に跨がり、前記ベース領域上にゲート絶縁膜を形成する工程と、前記ソース領域と前記ドレイン領域に跨がり、前記ベース領域上に、前記ゲート絶縁膜を介してゲートを形成する工程と、前記半導体基板の第2の主面に不純物を拡散し

7

て、前記ドレイン領域上に第2導電型の低不純物濃度アノード領域を形成する工程と、前記低不純物濃度アノード領域の上に多結晶シリコンからなる高不純物濃度アノード領域を形成する工程とを備えていることを第2の特徴としている。

【0012】

【作用】ドレイン領域内の一部に形成され、アノード領域に隣接している重金属拡散領域は、ドレイン領域のキャリアライフタイムを短くしてホールの注入量を適正化すると共にスイッチングオフ時にドレイン領域に存在する電子がアノード領域を通過するときに発生するときに発生する新たなホールの注入を抑制できる。アノード電極とアノード領域との間に形成される重金属のシリサイド層は、重金属拡散領域を形成するときの重金属の供給源になると共にアノード電極のアノード領域へのオーミックコンタクトを確実にする。

【0013】

【実施例】図1乃至図4を参照して本発明の第1の実施例のNチャネル型IGBTを説明する。図1は、IGBTの1素子を示す断面図であり、図2及び図3は、その製造工程断面図、図4は、IGBTの平面図である。ウェーハは、N-シリコン半導体基板1からなるN-ドレイン領域12と気相成長法により形成した半導体層2からなるP型アノード領域11とから構成されている。ウェーハの厚さは250～300 μ m程度であり、そのうち、P型アノード領域11は約10 μ mの厚さがある。N-ドレイン領域12中には、ウェーハの第1の主面でもある前記半導体基板1の第1の主面に隣接して1対のP型ベース領域13が形成され、更にこのP型ベース領域13中には、やはり前記第1の主面に隣接してN+ソース領域14が、周知の不純物拡散方法により形成されている。第1の主面上には、薄いゲート酸化膜15を介して多結晶シリコンゲート16が配設されている。この多結晶シリコンゲート16は、向い合うベース領域13及びその中のソース領域14との間を跨ぐように配置されている。多結晶シリコンゲート16に接続して金属ゲート電極18が形成され、ソース領域14とベース領域13とを短絡するように金属ソース電極17が前記第1の主面上に設けられている。

【0014】前記第1の主面上のゲート酸化膜15は、SiO₂などの絶縁膜22によって被覆されている。一方、半導体基板1の第2の主面上には、不純物濃度が $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のP型アノード領域11のエピタキシャル気相成長層が形成されている。そして、この気相成長層の表面に本発明の特徴であるAuやPtなどの重金属のシリサイド層、例えば、Auのシリサイド層21が形成されている。このシリサイド層21の厚さは、1 μ m程度以下であり、0.01～0.1 μ m程度が最も適当である。N-ドレイン領域12の不純物濃度は、 $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-3}$ 程度である。

8

シリサイド層の上にニッケル層などを含む金属アノード電極19が形成される。このように、前記シリサイド層21を形成することにより、金属アノード電極19とのコンタクトを良好にすることができる。また、P型アノード領域11の全域及びこのP型アノード領域に隣接した部分を含むドレイン領域12の一部に重金属拡散領域24を形成する。重金属拡散領域24のドレイン領域12内の厚さはアノード領域の厚さと同程度で良く、この実施例のようにアノード領域11が約10 μ mである場合は、重金属拡散領域24の厚さもやはり約10 μ mにしてある。

【0015】この様に、本発明では、P型アノード領域11と、ドレイン領域12の前記P型アノード領域11に隣接した部分にAuなどの重金属拡散領域24を設けているので、この領域のライフタイムが短く、P型アノード領域11の不純物濃度が高い場合でもこのアノード領域からのホールの注入は殆ど起こらず、ホールの注入量は最小に抑えられ、オフ時の再注入も起こりにくい。N-ドレイン領域12のキャリアライフタイムが長いままでも、正孔の注入量を少なく抑えられるために良好な高速スイッチング特性が得られる。N-ドレイン領域12でのキャリアライフタイムが長く、再結合中心が少ないためにP型アノード領域11から注入された正孔は効率良く伝導度変調に寄与するためにオン電圧も低くなり、低オン電圧特性と高速スイッチング特性を兼ね備えたIGBTを提供できる。図4は、図1の電極部分を省略した平面図（この図のA-A'部の断面図が図1である）であるが、ここには、前記IGBTを構成する複数の素子が形成されたウェーハの一部が示されている。ウェーハは、このIGBTが形成されたチップ毎に分離切断されて製品化される。このチップを適宜組合わせて、例えば、インバータを形成する。図の点線で示される範囲Dはこれら素子の1素子分を表わしている。すなわち、1つのゲート16に2つの素子が形成されている。

【0016】複数のゲート16は、1つに接続され、これらを接続する接続配線は、絶縁膜を介して半導体基板1の上に形成され、ベース領域13とソース領域14とを短絡して形成された金属ソース電極17も、図示はしないが、各素子に共通に絶縁膜を介して半導体基板1の上に形成されている。この金属ソース電極17は、これら素子の上に絶縁膜を介して形成されている。金属ソース電極17は、素子部の大半を占め、前記接続配線は、全ゲートの内の幾つかのゲートをまとめ、これを1つの配線とし、これらを幾つか形成してなるので、この接続配線が素子部上に占める割合は、前記金属ソース電極17よりかなり小さい。

【0017】ついで、図2及び図3を参照して第1の実施例の製造方法を説明する。まず、リン等のN型不純物をドーブしたN-シリコン半導体基板1の第2の主面4に $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のボロンをドービ

9

ングしたP型アノード領域11となるシリコン半導体層2をエピタキシャル気相成長法により約 $10\mu\text{m}$ 堆積する。次に、N-ドレイン領域12となる半導体基板1の厚さを調整するために、半導体基板1の第1の主面3を鏡面研磨して半導体基板1と半導体層2とから構成されるウェーハを形成する。その後、前記第1の主面3のN-ドレイン領域12上全面にシリコン酸化膜15を形成し、この酸化膜15上に多結晶シリコン膜16を形成する。これらの酸化膜15、多結晶シリコン膜16をパターンニングして、ゲート酸化膜15、ゲート16を形成し、このゲート16をマスクにして、ボロン等のP型不純物を、例えば、イオン注入法によりドーブし、拡散することによって前記第1の主面に露出するP型ベース領域13を選択的に形成する。ベース領域13は、ゲート16の両端に向い合うように1対形成され、その間の領域の上にゲート16が配置されることになる。

【0018】さらに、P型ベース領域13内にゲート16や選択的に形成した、例えば、レジストや熱酸化膜などの絶縁膜をマスクにして砒素、リン等のN型不純物を、例えば、イオン注入によってドーブし、拡散して前記第1の主面に露出するN型ソース領域14を形成する。このN型ソース領域14は、ゲート16の両端に向い合うように前記ベース領域内に1対形成され、その間の領域の上にゲート16が配置されることになる。次に、半導体基板1の第1の主面3の全面及び第2の主面4上に形成された半導体層2の露出面の全面に、例えば、シリコン酸化膜などからなる絶縁膜22、23を形成する。その後、半導体層2のP型アノード領域11側の絶縁膜23を除去し、Auなどの重金属層を真空蒸着やスパッタリング法などにより形成した後、約 $400\sim 600^\circ\text{C}$ の温度で熱処理を行い、Auなどのシリサイド層21を形成する。その後約 $500\sim 800^\circ\text{C}$ の温度でシリサイド層21を熱処理してシリサイド層21内の重金属をアノード領域11に拡散し、アノード領域11表面からこの領域を含んで、この領域に隣接するドレイン領域の一部にまで延在する重金属拡散領域24を形成する。次に、反対側の前記第1の主面の絶縁膜22を選択的に除去して、P型ベース領域13、N型ソース領域14、ゲート16を部分的に露出する。

【0019】そして、Al等の金属を全面に形成した後パターンニングし、金属ゲート電極18及び金属ソース電極17を形成する。また、アノード領域側にはNi層などを含む金属膜を積層し、これをアノード電極19とする。この後、所定の大きさに分離切断されてチップが完成する。このチップには、前述した素子が複数形成されているものであり、同じ形状の素子が繰り返し形成されている。図1には、4素子が形成されている。多数の素子を同時に形成するには、図4に示すように、N-ドレイン領域11に、複数のP型ベース領域13を形成する。ついで、各P型ベース領域13には、それぞれ1対

10

のN+ソース領域14が形成される。そして、隣接する2つのベース領域13間の領域上にゲート16を形成する。ゲート16は、この領域は勿論、前記隣接する2つのベース領域13の互いに向い合う端部やこの2つのベース領域のそれぞれに形成されたソース領域14の互いに向い合う端部を被覆している。ゲート16は、全ての隣接するベース領域13間の上に形成しているが、各ゲート16は、他の領域へ延在しており、そこで1つに結合している。

【0020】以上のように、従来は、ドレイン領域を気相成長で形成していたので、現在の気相成長法では量産が不可能なほど低い不純物濃度であり、また、厚くもあるドレイン領域を有する高耐圧IGBTを形成することは不可能であった。本発明では、この実施例で説明したように、ドレイン領域をシリコン単結晶より切り出した半導体基板で形成するので、不純物濃度や各領域の厚さを自由に設計でき、 1700V に達する高耐圧のものが得られる。さらに、ウェーハコストも気相成長法では成長させる厚さに比例して上昇するが、本発明では、あまり厚くする必要のないアノード領域に気相成長法を適用するために、例えば、ドレイン領域に $100\mu\text{m}$ 程度の厚さが必要な 1200V 系では、従来に比べて2分の1以下のコストで実現できる。

【0021】次に、図5を参照して第2の実施例を説明する。この実施例は、エピタキシャル気相成長法により形成するシリコン半導体層は利用しない。まず、N-シリコン半導体基板1の第2の主面からその内部に、例えば、ボロンをイオン注入し、約 1100°C で10時間程度熱拡散処理して、前記第2の主面からの深さが約 $10\mu\text{m}$ で不純物濃度が $1\times 10^{18}\sim 1\times 10^{20}\text{cm}^{-3}$ 程度のP型アノード領域11を形成する。他の領域は、N-ドレイン領域12として用いられる。この第2の主面の上に、さらに、約 $0.1\mu\text{m}$ 程度のAu層をスパッタリングなどにより形成し、これを熱処理してシリサイド層21を形成する。N-ドレイン領域12には、半導体基板1の第1の主面に隣接して、P型ベース領域13及びN+ソース領域14が形成されており、その第1の主面には、ゲート酸化膜15を介して多結晶シリコンゲート16が形成されている。この実施例では、気相成長を利用しないので、 1200V 以上の高耐圧IGBTを容易にしかも安定的に製造することができる。前記シリサイド層21の上には、例えば、Ni層などを含む金属アノード電極19を形成する。

【0022】次に、図6を参照して第3の実施例を説明する。図は、半導体基板の断面図を示している。この実施例では、N-シリコン半導体基板25とP型シリコン半導体基板26とを張合わせることによって、ウェーハを形成することに特徴がある。N-シリコン半導体基板25とP型シリコン半導体基板26の向い合ういずれか1つの面もしくは両方の面を鏡面研磨して鏡面を形成

する。両半導体基板の鏡面同志を重ね合わせ、約110℃で約1時間熱処理して両者を接合する。この接合により両者の結晶格子は、ほぼ一致する。N-半導体基板25を約200~250 μ mになるまで鏡面研磨してN-ドレイン領域12を形成し、続いて、P型半導体基板26を鏡面研磨して厚さ10 μ m程度のP型アノード領域11を形成する。その後、P型アノード領域11の上にAu層を堆積してからこれを熱処理し、Auのシリサイド層21を形成する。さらに、シリサイド層21を約500~800℃程度で熱処理して、シリサイド層21のAuを半導体基板1に拡散し、アノード領域11表面からこの領域を含んで、この領域に隣接するドレイン領域の一部にまで延在する重金属拡散領域24を形成する。ゲート、ソース領域、これらの金属電極、ドレイン領域、ベース領域などのIGBTとしての他の構成要素は、前述した第1の実施例と同じ構成を有している。この実施例では、気相成長法を用いないので、製造工程が簡単になる上、各領域の不純物濃度の調整が容易になる。

【0023】次に、図7を参照して第4の実施例を説明する。図は、N-ドレイン領域12と、P型アノード領域11との間にN+バッファ層20が形成されているIGBTを部分的に示す断面図である。N-ドレイン領域12は、N-シリコン半導体基板1に形成されている。そして、N+バッファ層20およびP型アノード領域11は、気相成長法により、順次N-ドレイン領域12上に形成される。N+バッファ層20は、アノード領域からの正孔の流入を抑えると共にN-ドレイン領域12の表面から拡がる空乏層を抑えるので、N-ドレイン領域12を薄くする事ができ、ターンオフ時間が改善される。また、P型アノード領域11の不純物濃度を多少上げても素子の特性には格別の変化は認められないので、製造上でも有利になる。このN+バッファ層20は、この実施例では、気相成長法を用いたが、他の方法でも形成することができる。例えば、N-シリコン半導体基板1のP型ベース領域13やN+ソース領域14が形成されていない方の主面に不純物をイオン注入し、その後、熱処理を行ってN+バッファ層20を形成し、続いてP型アノード領域11を形成する。次に、P型アノード領域11の上にAu層を堆積してからこれを熱処理し、Auのシリサイド層21を形成する。さらに、シリサイド層21を約500~800℃程度で熱処理して、シリサイド層21のAuを半導体基板1に拡散しアノード領域11表面からこの領域を含んで、N+バッファ層20及びこのバッファ層に隣接するドレイン領域の一部にまで延在する重金属拡散領域24を形成する。

【0024】次に、図8及至図10を参照して本発明の半導体装置の特性を説明する。図8は、600Vの電圧を印加して半導体装置をターンオフしたときの本発明と従来例の電圧、電流及びターンオフロスの時間依存性を

示す特性図である。横軸に、時間(ns)、縦軸に電流(A)、電圧(V)及びターンオフロス(電流電圧の積分値)を示す。本発明の電圧、電流、ターンオフ特性は、それぞれ、曲線A、B、Cで表わし、従来例の電圧、電流、ターンオフ特性は、曲線A'、B'、C'で表わされる。図9は、本発明及び従来例のターンオン特性を示す特性図であり、横軸にオン電圧(V)、縦軸にアノード電流(A)を示す。本発明は、曲線D、従来例は、曲線D'に示す。本発明では、部分的に形成された重金属拡散領域の存在によりアノード領域11とこのアノード領域近傍のドレイン領域のキャリアライフタイムが短いため、アノード領域の不純物濃度が高い場合でもアノード領域からのホールの注入は殆ど起こらない。その結果、ホールの注入量は、少なく抑えられ、オフ時の再注入も起こりにくいため、図8に示すように、フォールタイムが短く、テール電流も小さくなり、低ターンオフロス特性が得られる。また、ドレイン領域のキャリアライフタイムが長く、再結合中心が少ないのでアノード領域から注入されたホールは効率良く伝導度変調に寄与する。

【0025】その結果、図9に示すような低オン電圧特性がえられる。図10は、図1などに示すシリサイド層21の重金属を拡散させて重金属拡散領域24を形成する際の拡散温度(約500~800℃)の変化に伴う特性の変化を示す温度曲線を記載した特性図であり、縦軸にオン電圧(V)、横軸にターンオフ時間(μ s)を示す。拡散時間は、各拡散温度とも約60分である。拡散温度を高くするとオン電圧が上がるが、ターンオフ時間が短くなる。逆に低くすると、オン電圧は下がるが、ターンオフ時間が長くなってしまふ。したがって、この拡散温度を調整するとターンオフ時間及びオン電圧をこの拡散温度に沿って所望の値を設定することができる。以上、前述の実施例では、NチャネルIGBTについて説明したが、本発明では、PチャネルIGBTを用いることもできる。ウェーハのコストは、気相成長法で成長させる厚さに比例して上昇するが、本発明では、あまり気相成長法による半導体層を厚くする必要がないために、100 μ mの厚さが必要な1200V系では2分の1以下のコストで実現する。本発明に用いるアノード電極19の材料は、Ti、Ni、Au、Pt、W、Moなどを用いる。また、ゲート材料は、多結晶シリコンに限らず、シリサイドでも良いし、ポリサイドでも良い。

【0026】

【発明の効果】本発明は、重金属シリサイド層を形成することで、金属アノード電極との良好な接合を得ることができる。また、重金属拡散領域が存在する事で、ドレイン領域のキャリアライフタイムが長いままでも、アノード領域からの正孔の注入は殆ど起こらないため、正孔の注入量は少なく抑えられ、良好な高速スイッチング特性を得られる。さらに、ドレイン領域のキャリアライフ

13

タイムが長く、再結合中心が少ないため、アノード領域から注入された正孔は効率よく、伝導度変調に寄与するために、オン電圧も低くなり、低オン電圧特性と高速スイッチング特性を兼ね備えたIGBTを提供することができる。

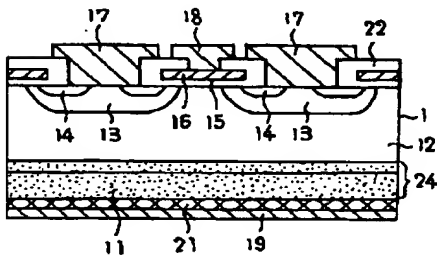
【図面の簡単な説明】

- 【図1】 本発明の第1の実施例のIGBTの断面図。
 【図2】 第1の実施例のIGBTの製造工程断面図。
 【図3】 第1の実施例のIGBTの製造工程断面図。
 【図4】 第1の実施例のIGBTの平面図。
 【図5】 第2の実施例のIGBTの断面図。
 【図6】 第3の実施例のIGBTの製造工程断面図。
 【図7】 第4の実施例のIGBTの断面図。
 【図8】 本発明のIGBTのターンオフ電流、電圧及びターンオフロスの時間依存性を示す特性図。
 【図9】 本発明のIGBTのアノード電流-オン電圧特性図。
 【図10】 本発明の拡散温度のオン電圧とターンオフ時間依存性を示す特性図。
 【図11】 従来例のIGBTの断面図。

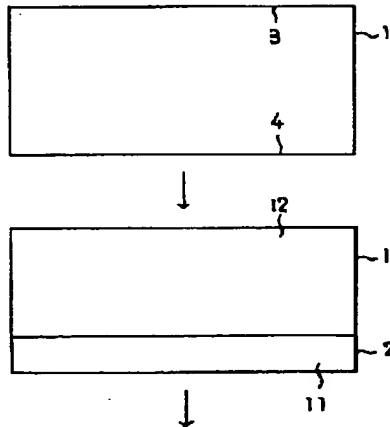
* 【符号の説明】

- | | |
|-------|-------------|
| 1 | 半導体基板 |
| 2 | 半導体層 |
| 3 | 半導体基板の第1の主面 |
| 4 | 半導体基板の第2の主面 |
| 11 | P型アノード領域 |
| 12 | N-ドレイン領域 |
| 13 | P型ベース領域 |
| 14 | N+ソース領域 |
| 15 | ゲート酸化膜 |
| 16 | 多結晶シリコンゲート |
| 17 | 金属ソース電極 |
| 18 | 金属ゲート電極 |
| 19 | 金属アノード電極 |
| 20 | N+バッファ層 |
| 21 | 重金属シリサイド層 |
| 22、23 | 絶縁膜 |
| 24 | 重金属拡散領域 |
| 25 | N-半導体基板 |
| * 20 | P型半導体基板 |

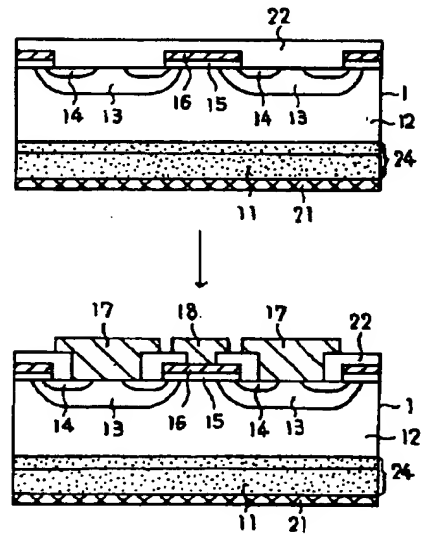
【図1】



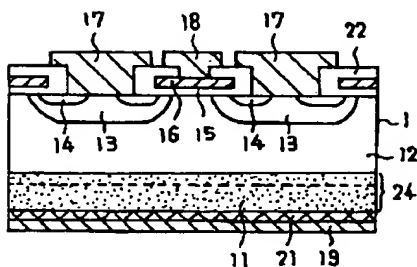
【図2】



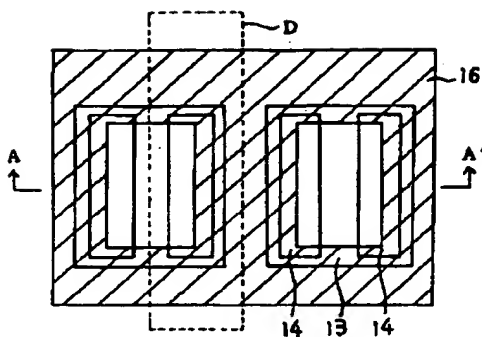
【図3】



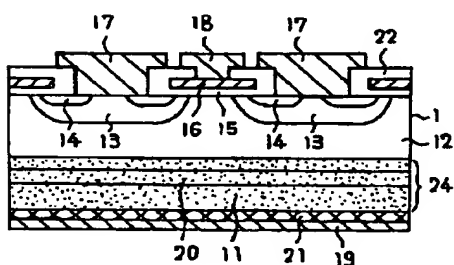
【図5】



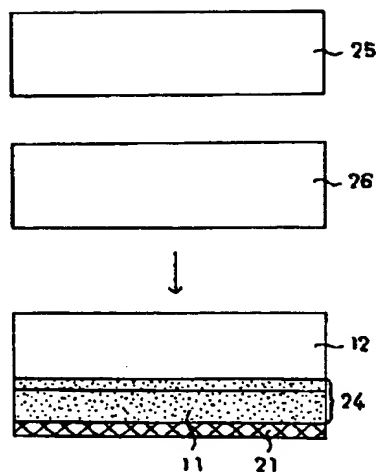
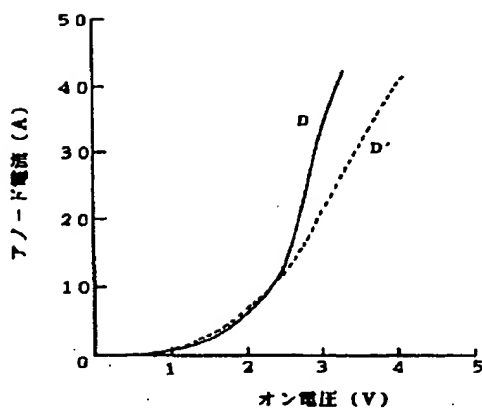
【図 4】



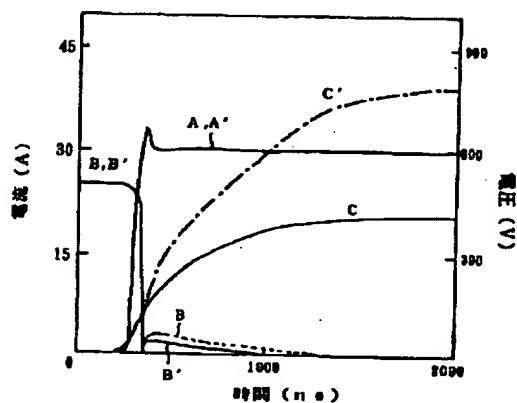
【図 7】



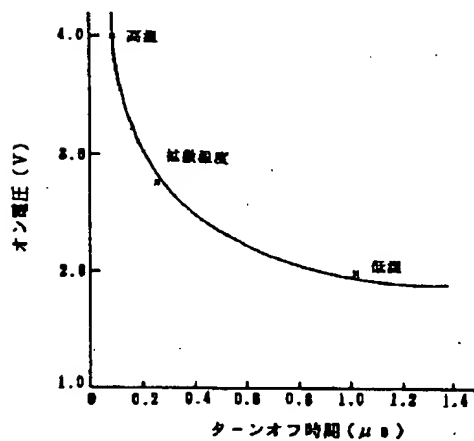
【図 9】



【図 8】



【図 10】



【図 1 1】

